

★ 画像技研は、SLVS-ECに対応した製品の開発をお手伝いします。
 インタフェースIPの提供、FPGAのカスタマイズ及びボードの作成も対応可能です。

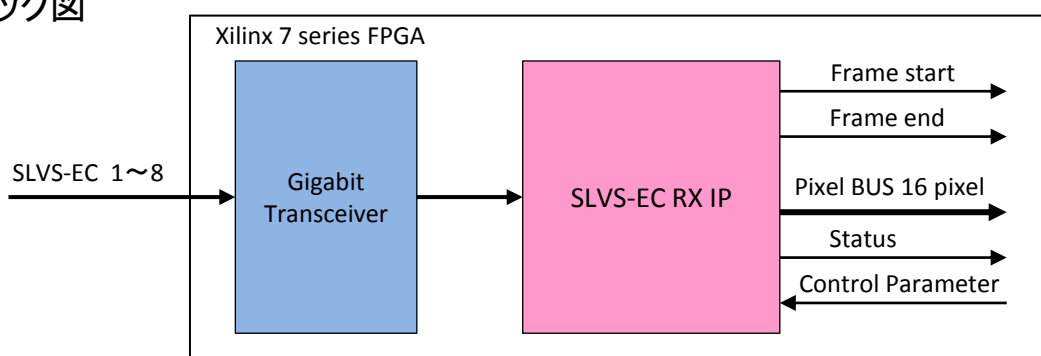
SLVS-EC とは

SLVS-EC (Scalable Low Voltage Signaling with Embedded Clock) はソニーが提唱する、次世代CMOS イメージセンサ用高性能シリアル接続バスです。
 ピクセルデータにクロックを埋め込んだエンベデッドクロックを採用することにより、信号のスキューが理論上発生せず、高速化や長距離転送に有利とされています。

SLVS-EC Receiver IP

本IPはSLVS-EC信号をFPGAのGigabit Transceiverで受信した後のFPGA内部信号から、Frame Start、Frame End、Embedded Data、Pixel Dataを抽出して出力します。

◆ ブロック図



◆ 仕様

項目	規格	実装
SLVS-EC Version	1.2	1.2準拠
対応画像フォーマット	RAW8、RAW10、RAW12、RAW14、RAW16	全対応
エンベデッドデータ フレームフォーマット	エンベデッドライン	画像バスに出力 Training SequenceによるReady検出 Standby SequenceによるStandby Detect検出
対応レーン数	1、2、4、6、8	全対応
対応ライン長	4～	4～65535
ECCオプション	0(DEFAULT)、1、2	非対応(0)
CRCオプション	On、Off(DEFAULT)	オフ
ポーレート	Grade1、Grade2(DEFAULT)	Grade2(2.304Gbps) ※Gigabit Transceiverの設定による
Multiple Stream		非対応

◆ リソース消費量

Xilinx VC707評価ボード上でのSLVS-EC RX IPリソース消費量とGigabit Transceiverサンプルデザインのリソース消費量は以下のようになっています。

項目	消費量
Slice Registers	9,654
Slice LUTs	6,179
Block RAM Tiles	4

SLVS-EC RX IPリソース消費量

項目	消費量
Slice Registers	1,050
Slice LUTs	709
Block RAM Tiles	0
GTXE2_CHANNEL	8
GTXE2_COMMON	2

Gigabit Transceiverリソース消費量

◆ ターゲットデバイス

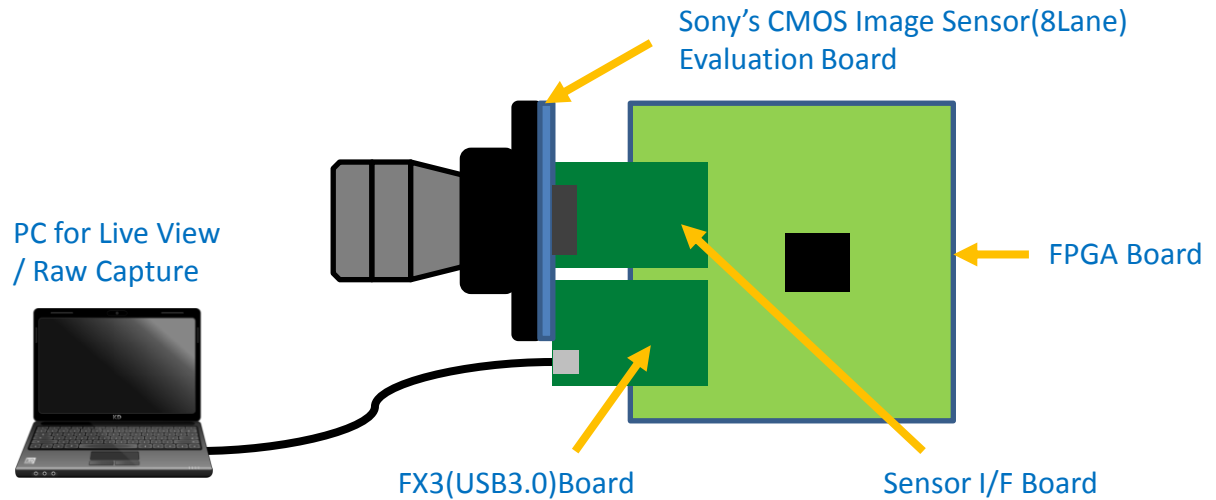
Xilinx社 7 Series (Zynq含む)
 * UltraScale、UltraScale+は対応予定

◆ 提供物

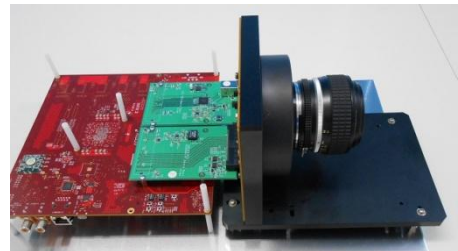
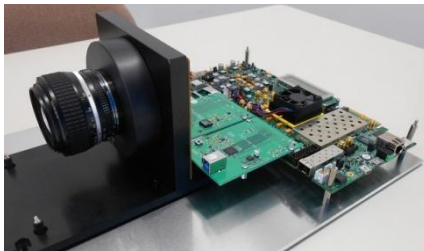
- ・Vivado IPパッケージ
- ・ネットリスト、シミュレーションモデル、IP仕様書
- ・サンプルデザイン

デモ環境

ソニー製CMOSイメージセンサボードから出力されるSLVS-EC信号をFPGAのGigabit Transceiverで受信し、FX3ボードからUSB3.0でPCに出力します。



◆ 接続例



受託開発

◆ 高速伝送設計

- ・SLVS-ECでは、データレーンあたり2Gbpsを超える高速信号を扱いますので、基板設計、FPGA設計にノウハウが必要となります。
- ・画像技研は、上記のデモシステムのほか、SLVS-ECの開発実績がございます。また、その他高速インタフェース(MIPI等)のイメージセンサーやISPを使用した、豊富な動作実績がございます。

◆ 用途

- ・カメラモジュール、ISP、イメージセンサ評価・デモシステム
- ・SLVS-ECデバイス応用システム

◆ カスタマイズ対応

- ・IPのカスタマイズやXilinx以外のデバイス対応についてはお問い合わせください。

【開発・製造元】

ITL 株式会社 画像技研

〒182-0025 東京都調布市多摩川3-36-19
[TEL] 042-487-5003 [FAX] 042-487-5004
[URL] <http://www.gazogiken.co.jp/>